

Our Commentary on the Reference

In the present publication, a so-called damascene process is proposed. In a damascene process, a trench for forming an interconnect (an interconnect trench) and a hole for providing electrical connection between a lower conductive layer and the interconnect are formed in advance in an insulating film over the lower conductive layer. Subsequently, a conductive material is formed to fill up the interconnect trench and the hole. Leaving the portion of conductive material located within the interconnect trench and hole and removing the other portion provide an interconnect electrically connected to the lower conductive layer.

Japan Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. 2001-358216
Date of Laying-Open: December 26, 2001
International Class(es): H01L 21/768
G03F 7/11
G03F 7/16
G03F 7/40
H01L 21/28
H01L 21/027
H01L 21/312

Title of the Invention: METHOD FOR MANUFACTURING
SEMICONDUCTOR DEVICE, BURYING
MATERIAL USED OF METHOD FOR
MANUFACTURING SEMICONDUCTOR
DEVICE AND SEMICONDUCTOR
DEVICE

Patent Appln. No. 2000-181359
Filing Date: June 16, 2000
Inventor(s): Takeo ISHIBASHI
Tsuyoshi OKITA

Applicant(s): (1) Mitsubishi Denki Kabushiki Kaisha
(2) Ryoden Semiconductor System
Engineering Corporation

(transliterated, therefore the
spelling might be incorrect)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358216

(P2001-358216A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テームト [*] (参考) |
|---------------------------|-------|---------------|------------------------|
| H 0 1 L 21/768 | | G 0 3 F 7/11 | 5 0 3 2 H 0 2 5 |
| G 0 3 F 7/11 | 5 0 3 | 7/16 | 2 H 0 9 6 |
| 7/16 | | 7/40 | 4 M 1 0 4 |
| 7/40 | | H 0 1 L 21/28 | L 5 F 0 3 3 |
| H 0 1 L 21/28 | | 21/312 // | M 5 F 0 4 6 |

審査請求 未請求 請求項の数14 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-181359(P2000-181359)

(22) 出願日 平成12年6月16日 (2000. 6. 16)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036505

菱電セミコンダクタシステムエンジニアリ
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72) 発明者 石橋 健夫

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外3名)

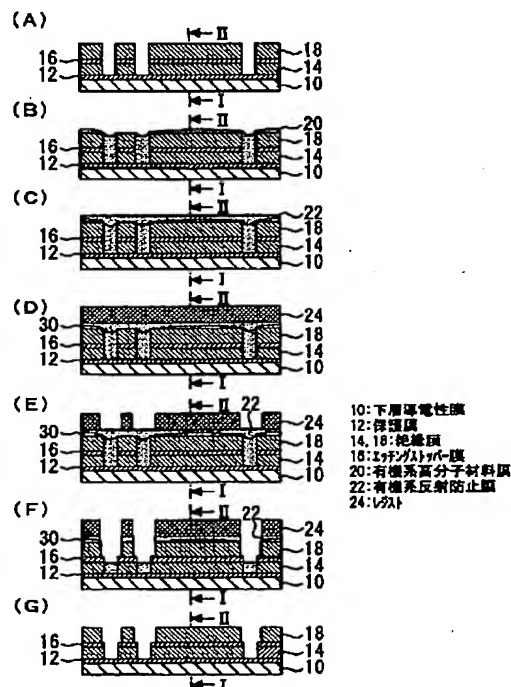
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法、半導体装置の製造方法に使用する埋め込み材料および半導体装置

(57) 【要約】

【課題】 ホールパターンの疎密さにかかわらず均一に埋め込みを行うことができる良い埋め込み特性を有し、かつエッチング速度が大きい有機系高分子材料を用いた半導体装置の製造方法、半導体装置の製造方法に使用する埋め込み材料および半導体装置を提供する。

【解決手段】 ホールパターンに有機系高分子材料を複数回塗布することにより、その疎密さにかかわらず均一に埋め込むことができる。さらに、ホールパターン埋め込み用で、かつ色素成分を除いてエッチング速度を大きくしている有機系高分子材料膜30を形成し、その上層に有機系反射防止材料膜32を塗布することにより、多段階プロセスで均一な膜を形成することができる。ホールパターンへの埋め込みを考慮しなくともよい配線溝を先に形成する方法を用いることもできる。このため、配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。



【特許請求の範囲】

【請求項1】 絶縁膜を挟んで形成された下層導電性膜と上層導電性膜との間を電氣的に接合するホールパターンを該絶縁膜内に形成する工程と、
前記ホールパターンを均一に埋め込む有機系高分子の埋め込み材料を複数回塗布する塗布工程と、
前記有機系高分子の埋め込み材料の膜上にレジストを塗布する工程と、
配線材料の埋め込みに用いられる配線溝のレジストパターンを露光により前記レジストに形成するレジストパターン形成工程と、
前記レジストパターンをマスクとして前記有機系高分子の埋め込み材料の膜と前記絶縁膜とを所定の回数でエッチングするエッチング工程と、
前記エッチング工程で残された前記レジストおよび前記有機系高分子の埋め込み材料の膜を除去する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記塗布工程は、
前記ホールパターンを均一に埋め込む有機系高分子の埋め込み材料を塗布する工程と、
前記レジストパターン形成工程において前記レジストパターンを形成する際に使用する露光波長に吸収を有する有機系反射防止膜を塗布する工程とを備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 絶縁膜を挟んで形成された下層導電性膜と上層導電性膜との間を電氣的に接合するホールパターンを該絶縁膜内に形成する工程と、
前記ホールパターンを均一に埋め込む有機系高分子の埋め込み材料を塗布する有機系高分子の埋め込み材料塗布工程と、
前記有機系高分子の埋め込み材料上に有機系反射防止膜を塗布する工程と、
前記有機系反射防止膜上にレジストを塗布する工程と、
配線材料の埋め込みに用いられる配線溝のレジストパターンを露光により前記レジストに形成する工程と、
前記レジストパターンをマスクとして前記有機系反射防止膜、前記有機系高分子の埋め込み材料および前記絶縁膜を所定の回数でエッチングするエッチング工程と、
前記エッチング工程で残された前記レジスト、前記有機系反射防止膜および前記有機系高分子の埋め込み材料を除去する工程とを備え、
前記有機系高分子の埋め込み材料は前記レジストパターンを形成する際に使用する露光波長に吸収を有さず、前記有機系反射防止膜は露光波長に吸収を有することを特徴とする半導体装置の製造方法。

【請求項4】 下層導電性膜上の絶縁膜上にレジストを塗布する工程と、
配線溝のレジストパターンを露光により前記レジストに形成する工程と、
前記レジストパターンをマスクとして前記絶縁膜をエッ

チングし、前記絶縁膜内に前記配線溝パターンを形成する工程と、
前記配線溝パターンを均一に埋め込む有機系高分子の埋め込み材料を複数回塗布する塗布工程と、
前記有機系高分子の埋め込み材料上にレジストを塗布する工程と、
前記絶縁膜を挟んで形成された下層導電性膜と上層導電性膜との間を電氣的に接合するホールパターンを露光により前記レジストに形成するホールパターン形成工程と、
前記ホールパターンをマスクとして前記有機系高分子の埋め込み材料および前記絶縁膜をエッチングするエッチング工程と、
前記エッチング工程で残された前記レジストおよび前記有機系高分子の埋め込み材料を除去する除去工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項5】 前記塗布工程は、
前記配線溝パターンを均一に埋め込む有機系高分子の埋め込み材料を塗布する工程と、
前記ホールパターン形成工程において前記ホールパターンを形成する際に使用する露光波長に吸収を有する有機系反射防止膜を塗布する工程とを備え、
前記エッチング工程は、前記ホールパターンをマスクとして前記有機系反射防止膜、前記有機系高分子の埋め込み材料および前記絶縁膜をエッチングし、
前記除去工程は、前記エッチング工程で残された前記レジスト、前記有機系反射防止膜および前記有機系高分子の埋め込み材料を除去することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記有機系高分子の埋め込み材料塗布工程は、芳香族系化合物を含まない有機系高分子材料を用いることを特徴とする請求項1ないし5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記有機系高分子の埋め込み材料塗布工程は、前記有機系高分子材料をスピコートにより塗布した後、複数回のベーキングを行うことを特徴とする請求項1ないし5のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記有機系高分子の埋め込み材料塗布工程において用いられる有機系高分子材料は、前記有機系反射防止膜と相互に溶解しない材料であることを特徴とする請求項1ないし6のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記有機系高分子の埋め込み材料塗布工程において用いられる有機系高分子材料は、加熱処理における架橋時の流動性が大きい分子量の小さい材料であることを特徴とする請求項1ないし6のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記有機系高分子の埋め込み材料塗布工程において用いられる有機系高分子材料は、熱硬化温

度が高い材料であることを特徴とする請求項1ないし6のいずれかに記載の半導体装置の製造方法。

【請求項11】 請求項1ないし5のいずれかに記載された半導体装置の製造方法に使用する前記有機系高分子の埋め込み材料であって、

前記レジストパターンを形成する際に使用する露光波長に吸収を有さず、前記有機系反射防止膜と相互に溶解しないことを特徴とする半導体装置の製造方法に使用する埋め込み材料。

【請求項12】 前記有機系高分子の埋め込み材料は、加熱処理における架橋時の流動性が大きい分子量の小さい材料であることを特徴とする請求項11記載の半導体装置の製造方法に使用する埋め込み材料。

【請求項13】 前記有機系高分子の埋め込み材料は、熱硬化温度が高い材料であることを特徴とする請求項11記載の半導体装置の製造方法に使用する埋め込み材料。

【請求項14】 請求項1ないし10のいずれかに記載の半導体装置の製造方法により製造された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法、半導体装置の製造方法に使用する埋め込み材料および半導体装置に関し、特に、絶縁膜を挟んだ下層導電性膜と上層導電性膜とを電気的に接合するホールパターンを絶縁膜内に形成した半導体装置の製造方法、半導体装置の製造方法に使用する埋め込み材料および半導体装置に関する。

【0002】

【従来の技術】近年の半導体装置の高集積化および高速化に伴って、配線材料の抵抗を下げることが重要になってきている。このため多種多様な配線材料が考えられているが、配線材料によってはドライエッチングによる加工が困難となる場合があるため、絶縁膜にあらかじめ形成した配線溝パターンと、その配線溝パターンと下層導電性膜とを電気的に接合するホールとに配線材料を埋め込むプロセスが採用されている。

【0003】上述の従来のプロセスでは、一般的には絶縁膜にフォトリソグラフィ技術によりレジストのホールパターンを形成し、エッチングにより絶縁膜にホールパターンを形成している。その後、絶縁膜状に反射防止膜の機能を有する有機系高分子材料を1層塗布することにより、ホールパターンをこの有機系高分子材料で埋め込む。このプロセスによりホールパターン底の下層導電性膜に対するエッチング時のダメージを防いでいる。

【0004】次に、フォトリソグラフィ技術によりホールパターン上にレジストの配線溝パターンを形成し、エッチングにより絶縁膜中に配線溝パターンを形成する。この際、エッチング深さを制御することにより、絶縁膜中に配線溝パターンと下層導電性膜とを接合するホール

パターンを形成することができる。この配線溝パターンおよびホールパターンに配線材料を埋め込むことにより、配線を形成していた。

【0005】

【発明が解決しようとする課題】上述の従来のホールパターンへの反射防止膜の機能を有する有機系高分子材料の埋め込みプロセスはホールパターンの疎密さに依存しているため、密集しているホールパターンと孤立しているホールパターンとでは埋め込みの具合が異なっていた。さらに反射防止膜としての機能を有するためエッチング速度が小さく、配線溝パターンの絶縁膜エッチング時に、ホールパターン淵にフェンス状のエッチング残渣が発生してしまうという問題があった。

【0006】そこで、本発明の目的は、上記問題を解決するためになされたものであり、ホールパターンの疎密さにかかわらず均一に埋め込みを行うことができる良い埋め込み特性を有し、かつエッチング速度が大きい有機系高分子材料を用いた半導体装置の製造方法、半導体装置の製造方法に使用する埋め込み材料および半導体装置を提供することにある。

【0007】

【課題を解決するための手段】この発明の半導体装置の製造方法は、絶縁膜を挟んで形成された下層導電性膜と上層導電性膜との間を電気的に接合するホールパターンを該絶縁膜内に形成する工程と、前記ホールパターンを均一に埋め込む有機系高分子の埋め込み材料を複数回塗布する塗布工程と、前記有機系高分子の埋め込み材料の膜上にレジストを塗布する工程と、配線材料の埋め込み用に用いられる配線溝のレジストパターンを露光により前記レジストに形成するレジストパターン形成工程と、前記レジストパターンをマスクとして前記有機系高分子の埋め込み材料の膜と前記絶縁膜とを所定の回数でエッチングするエッチング工程と、前記エッチング工程で残された前記レジストおよび前記有機系高分子の埋め込み材料の膜を除去する工程とを備えたものである。

【0008】ここで、この発明の半導体装置の製造方法において、前記塗布工程は、前記ホールパターンを均一に埋め込む有機系高分子の埋め込み材料を塗布する工程と、前記レジストパターン形成工程において前記レジストパターンを形成する際に使用する露光波長に吸収を有する有機系反射防止膜を塗布する工程とを備えることができる。

【0009】この発明の半導体装置の製造方法は、絶縁膜を挟んで形成された下層導電性膜と上層導電性膜との間を電気的に接合するホールパターンを該絶縁膜内に形成する工程と、前記ホールパターンを均一に埋め込む有機系高分子の埋め込み材料を塗布する有機系高分子の埋め込み材料塗布工程と、前記有機系高分子の埋め込み材料上に有機系反射防止膜を塗布する工程と、前記有機系反射防止膜上にレジストを塗布する工程と、配線材料の

埋め込みに用いられる配線溝のレジストパターンを露光により前記レジストに形成する工程と、前記レジストパターンをマスクとして前記有機系反射防止膜、前記有機系高分子の埋め込み材料および前記絶縁膜を所定の回数でエッチングするエッチング工程と、前記エッチング工程で残された前記レジスト、前記有機系反射防止膜および前記有機系高分子の埋め込み材料を除去する工程とを備え、前記有機系高分子の埋め込み材料は前記レジストパターンを形成する際に使用する露光波長に吸収を有さず、前記有機系反射防止膜は露光波長に吸収を有するものである。

【0010】この発明の半導体装置の製造方法は、下層導電性膜上の絶縁膜上にレジストを塗布する工程と、配線溝のレジストパターンを露光により前記レジストに形成する工程と、前記レジストパターンをマスクとして前記絶縁膜をエッチングし、前記絶縁膜内に前記配線溝パターンを形成する工程と、前記配線溝パターンを均一に埋め込む有機系高分子の埋め込み材料を複数回塗布する塗布工程と、前記有機系高分子の埋め込み材料上にレジストを塗布する工程と、前記絶縁膜を挟んで形成された下層導電性膜と上層導電性膜との間を電気的に接合するホールパターンを露光により前記レジストに形成するホールパターン形成工程と、前記ホールパターンをマスクとして前記有機系高分子の埋め込み材料および前記絶縁膜をエッチングするエッチング工程と、前記エッチング工程で残された前記レジストおよび前記有機系高分子の埋め込み材料を除去する除去工程とを備えたものである。

【0011】ここで、この発明の半導体装置の製造方法において、前記塗布工程は、前記配線溝パターンを均一に埋め込む有機系高分子の埋め込み材料を塗布する工程と、前記ホールパターン形成工程において前記ホールパターンを形成する際に使用する露光波長に吸収を有する有機系反射防止膜を塗布する工程とを備え、前記エッチング工程は、前記ホールパターンをマスクとして前記有機系反射防止膜、前記有機系高分子の埋め込み材料および前記絶縁膜をエッチングし、前記除去工程は、前記エッチング工程で残された前記レジスト、前記有機系反射防止膜および前記有機系高分子の埋め込み材料を除去することができる。

【0012】ここで、この発明の半導体装置の製造方法において、前記有機系高分子の埋め込み材料塗布工程は、芳香族系化合物を含まない有機系高分子材料を用いることができる。

【0013】ここで、この発明の半導体装置の製造方法において、前記有機系高分子の埋め込み材料塗布工程は、前記有機系高分子材料をスピコートにより塗布した後、複数回のベークを行うことができる。

【0014】ここで、この発明の半導体装置の製造方法において、前記有機系高分子の埋め込み材料塗布工程に

おいて用いられる有機系高分子材料は、前記有機系反射防止膜と相互に溶解しない材料とすることができる。

【0015】ここで、この発明の半導体装置の製造方法において、前記有機系高分子の埋め込み材料塗布工程において用いられる有機系高分子材料は、加熱処理における架橋時の流動性が大きい分子量の小さい材料とすることができる。

【0016】ここで、この発明の半導体装置の製造方法において、前記有機系高分子の埋め込み材料塗布工程において用いられる有機系高分子材料は、熱硬化温度が高い材料とすることができる。

【0017】この発明の半導体装置の製造方法に使用する埋め込み材料は、請求項1ないし5のいずれかに記載された半導体装置の製造方法に使用する前記有機系高分子の埋め込み材料であって、前記レジストパターンを形成する際に使用する露光波長に吸収を有さず、前記有機系反射防止膜と相互に溶解しないものである。

【0018】ここで、この発明の半導体装置の製造方法に使用する埋め込み材料において、前記有機系高分子の埋め込み材料は、加熱処理における架橋時の流動性が大きい分子量の小さい材料とすることができる。

【0019】この発明の半導体装置の製造方法に使用する埋め込み材料において、前記有機系高分子の埋め込み材料は、熱硬化温度が高い材料とすることができる。

【0020】この発明の半導体装置は、請求項1ないし10のいずれかに記載の半導体装置の製造方法により製造された半導体装置である。

【0021】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0022】実施の形態1. 図1(A)ないし(G)は、本発明の実施の形態1における半導体基板のホールパターンの断面構造を例示する。図1(A)ないし(G)において、符号10は下層導電性膜、12はホールパターンのエッチング時に下層導電性膜10を保護する保護膜、14は保護膜12上に形成された絶縁膜、16は配線溝パターンをエッチングする際のエッチングストッパー膜、18はエッチングストッパー膜16上に形成された絶縁膜である。符号IとIIとの間の破線は切断線を示す。

【0023】図1(B)に示されるように、ホールパターンパターンを埋め込むために、有機系高分子材料を複数回塗布して有機系高分子材料の膜20を形成する。この有機系高分子材料の膜20の膜厚は、約50nmないし1500nmとすることが好適である。

【0024】次に、図1(C)に示されるように、埋め込み特性を良くし、ホールの密集パターンと孤立パターンとで均一な有機系反射防止膜22が形成されるようにする。有機系反射防止膜22は後のレジストパターンを形成する際に使用する露光波長に吸収を有するものであ

る。この有機系反射防止膜22の膜厚は、約50nmないし1500nmとすることが好適である。

【0025】次に、図1(D)に示されるようにレジスト24を有機系反射防止膜22上に塗布する。このレジスト24の厚さは、約500nmないし1500nmとすることが好適である。このレジスト24はスピンコート等により塗布することができ、例えば80℃ないし150℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。

【0026】次に、配線溝のレジストパターンを形成するために、i光線またはKrFエキシマ、ArFエキシマ等のレジスト感光波長に対応した光源を用いて露光する。

【0027】露光後、例えば80℃ないし120℃で60秒間程度のPEB(露光後加熱)を行ってレジスト24の解像度を向上させ、TMAH(テトラメチルアンモニウムハイドロキシサイド)等の2.00%ないし2.50%程度のアルカリ水溶液を用いて現像する。その後、必要に応じて、例えば100℃ないし130℃で60秒間程度の熱処理(PDB)を行い、配線溝のレジストパターンを焼き固める。この結果、図1(E)に示されるようなレジストパターンが形成される。

【0028】図1(F)に示されるように、上述の方法で形成されたレジストパターンをマスクとして有機系反射防止膜20、22と絶縁膜18を1回でエッチングする。あるいは2回に分けて、まず有機系反射防止膜20、22をエッチングした後に、絶縁膜18をエッチングすることもできる。いずれにしてもエッチングの際には、エッチングストッパー膜12が存在しているため、このエッチングストッパー膜12より下層の絶縁膜14はエッチングされない。

【0029】最後に、図1(G)に示されるように、エッチング後に残ったレジスト24と有機系反射防止膜20、22とを除去する。以上のようにして、絶縁膜14、18中に配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。

【0030】以上より、実施の形態1によれば、ホールパターンに有機系高分子材料を複数回塗布することにより、その疎密さにかかわらず均一に埋め込むことができるため、配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。

【0031】実施の形態2.図2(A)ないし(G)は、本発明の実施の形態2における半導体基板のホールパターンの断面構造を例示する。図2(A)ないし(G)において、図1(A)ないし(G)と同じ符号を付した箇所は同じ部分を示すため説明は省略する。

【0032】図2(A)は図1(A)と同じであるため説明は省略する。図2(B)に示されるように、ホール

パターンパターンを埋め込むために、半導体基板に有機系高分子材料30を塗布して有機系高分子材料膜30を形成する。この有機系高分子材料膜30の膜厚は、約30nmないし50nmとすることが好適である。この有機系高分子材料は半導体基板上にスピンコート等により塗布することができ、例えば180℃ないし220℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。有機系高分子材料30のホールパターンへの埋め込みが良くない場合は、さらに何回かの塗布を繰り返すことにより埋め込み特性を良くする。

【0033】有機系高分子材料30は、後の工程の光リソグラフィによるレジストパターンの形成で用いられる露光波長に吸収を持つ色素成分を除いている。図4は、この色素成分の例であるKrF(248nm)用の一般的色素の例(アントラセン誘導体)を示している。このように露光波長に吸収を持つ色素成分を除くことにより、エッチング時のエッチング速度を速くすることができる。

【0034】紫外線を露光光源とするリソグラフィでは、有機系反射防止材料に含まれる色素には、一般的に $\pi-\pi^*$ 吸収を持つ芳香族化合物、または $n-\pi^*$ 吸収を持つジアゾ系もしくはカルボン系官能基を持つ化合物が用いられている。図5は、色素含有量に対する反射防止能力を示し、縦軸は反射防止能力で横軸は色素含有量である。図5に示されるように、色素含有量が多いほど反射防止能力は高くなる。図6は色素含有量に対するエッチレートを示し、縦軸はエッチレートで横軸は色素含有量である。図6に示されるように、色素含有量が増すほどエッチレートは低下する。上述の化合物は色素含有量が多いため、一般的にドライエッチング速度が遅い。本発明の実施の形態1または後述の3のいずれにおいても、埋め込まれている材料のエッチング速度が遅いと次のような問題が生じる。

【0035】図7は有機反射防止材料を埋め込みに用いた場合のフェンス状の残渣を示す。図7において、符号40はCu、42はCu40を保護するCu保護膜、44はCu保護膜42上の絶縁膜、46は絶縁膜44上のエッチングストッパー膜、48はエッチングストッパー膜46上の絶縁膜、50は有機反射防止材料、52はフェンス状の残渣である。図7に示されるように、埋め込まれている材料のエッチング速度が遅いと、実施の形態1ではホール淵にフェンス状の残渣52が発生する。実施の形態3では、後述されるようにホールのドライエッチングで埋め込み膜自体が被エッチング膜となるため、上層に形成されるレジストパターンのレジスト膜厚を厚くしなければならなくなる。

【0036】そこで、有機系高分子材料30(埋め込み材料)の分子量を小さくすることにより熱処理における架橋時の流動性を大きくし、ホールパターンへの埋め込み特性を良くしている。さらに、この埋め込み材料は後

に塗布する有機系反射防止膜32と相互に溶解しないという特徴を有している。埋め込み材料の例としては、重量平均分子量4000のアクリル系ポリマーとアルコキシメチルアミノ基を有する架橋剤とスルホン酸系酸触媒とをアセテート系溶媒で溶解したものがあげられる。

【0037】次に、図2(C)に示されるように、有機系高分子材料膜30の上に有機系反射防止材料32を塗布して有機系反射防止膜32を形成する。この有機系反射防止膜32の膜厚は、約50nmないし1500nmとすることが好適である。有機系反射防止膜32は後のレジストパターンを形成する際に使用する露光波長に吸収を有するものである。この有機系反射防止膜32は、上述のホールパターンの埋め込みに使用した有機系高分子材料30と同様にスピコート等により塗布することができ、例えば180℃ないし220℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。

【0038】次に、図2(D)に示されるようにレジスト24を有機系反射防止膜32上に塗布する。このレジスト24の厚さは、約500nmないし1500nmとすることが好適である。このレジスト24はスピコート等により塗布することができ、例えば80℃ないし150℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。

【0039】次に、配線溝のレジストパターンを形成するために、i光線またはKrFエキシマ、ArFエキシマ等のレジスト感光波長に対応した光源を用いて露光する。

【0040】レジスト32の露光後、例えば80℃ないし120℃で60秒間程度のPEBを行ってレジスト24の解像度を向上させ、TMAH等の2.00%ないし2.50%程度のアルカリ水溶液を用いて現像する。その後、必要に応じて、例えば100℃ないし130℃で60秒間程度のPDBを行い、配線溝のレジストパターンを焼き固める。この結果、図2(E)に示されるようなレジストパターンが形成される。

【0041】次に、図2(F)に示されるように、上述の方法で形成されたレジストパターンをマスクとして有機系反射防止膜32、ホールパターンの埋め込みに使用した有機系高分子材料膜30および絶縁膜18を1回でエッチングする。あるいは2回に分けて、まず有機系反射防止膜32およびホールパターンの埋め込みに使用した有機系高分子材料膜30をエッチングした後に、絶縁膜18をエッチングすることもできる。この際、埋め込みに使用した有機系高分子材料30は色素成分を除いているためエッチング速度が速いので、埋め込みの高さはエッチングストッパー膜16よりも下になるように制御する。エッチングの際には、エッチングストッパー膜12が存在しているため、このエッチングストッパー膜12より下層の絶縁膜14はエッチングされない。

【0042】最後に、図2(G)に示されるように、エッチング後に残ったレジスト24、有機系反射防止膜32および埋め込みに使用した有機系高分子材料30を除去する。以上のようにして、絶縁膜14、18中に配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。

【0043】以上より、実施の形態2によれば、ホールパターン埋め込み用で、かつ色素成分を除いてエッチング速度を大きくしている有機系高分子材料膜30を形成し、その上層に有機系反射防止材料膜32を塗布することにより、多段階プロセスで均一な膜を形成することができる。このため、配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。

【0044】実施の形態3.図3(A)ないし(G)は、本発明の実施の形態3における半導体基板のホールパターンの断面構造を例示する。図3(A)ないし(G)において、図1(A)ないし(G)と同じ符号を付した箇所は同じ部分を示すため説明は省略する。

【0045】図3(A)に示されるように、本実施の形態3では実施の形態1または2と異なり、ホールパターンは形成されていない。次に、図3(B)に示されるように、絶縁膜18の上に有機系高分子の埋め込み材料20を複数回塗布して有機系高分子の埋め込み材料の膜20を形成する。この有機系高分子の埋め込み材料の膜20の膜厚は、約50nmないし1500nmとすることが好適である。この有機系高分子の材料の膜20はスピコート等により塗布することができ、例えば180℃ないし220℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。次に、レジスト24を有機系高分子の材料の膜20上に塗布する。このレジスト24の厚さは、約500nmないし1500nmとすることが好適である。このレジスト24はスピコート等により塗布することができ、例えば80℃ないし150℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。

【0046】次に、配線溝のレジストパターンを形成するために、i光線またはKrFエキシマ、ArFエキシマ等のレジスト感光波長に対応した光源を用いて露光する。

【0047】レジスト24の露光後、例えば80℃ないし120℃で60秒間程度のPEBを行ってレジスト24の解像度を向上させ、TMAH等の2.00%ないし2.50%程度のアルカリ水溶液を用いて現像する。その後、必要に応じて、例えば100℃ないし130℃で60秒間程度のPDBを行い、配線溝のレジストパターンを焼き固める。この結果、図3(C)に示されるようなレジストパターンが形成される。

【0048】次に、図3(D)に示されるように、上述

の方法で形成されたレジストパターンをマスクとして絶縁膜18をエッチングする。この際、エッチングストップ膜16が存在しているため、このエッチングストップ膜16より下層の絶縁膜14はエッチングされない。この後、残ったレジスト24と有機系高分子の材料の膜20とを除去する。以上のようにして、絶縁膜18中に配線材料を埋め込むための配線溝パターンを形成することができる。

【0049】図3(E)に示されるように、配線溝パターンを埋め込むために、有機系高分子材料30を塗布して有機系高分子材料膜30を形成する。この有機系高分子材料膜30の膜厚は、約30nmないし50nmとすることが好適である。この有機系高分子材料30は、後のレジストパターンを形成する際に使用する露光波長に吸収を有するか、または有していないものである。この有機系高分子材料30は、スピンコート等により塗布することができ、例えば180℃ないし220℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。有機系高分子材料30の配線溝パターンへの埋め込みが良くない場合は、さらに何回かの塗布を繰り返すことにより埋め込み特性を良くする。

【0050】次に、有機系高分子材料膜30の上に有機系反射防止材料22を塗布して有機系反射防止膜22を形成する。この有機系反射防止膜22の膜厚は、約50nmないし1500nmとすることが好適である。有機系反射防止膜22は後のレジストパターンを形成する際に使用する露光波長に吸収を有するものである。この有機系反射防止膜22は上述の配線溝パターンの埋め込みに使用した有機系高分子材料30と同様にスピンコート等により塗布することができ、例えば180℃ないし220℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。

【0051】次に、レジスト24を有機系反射防止膜22上に塗布する。このレジスト24の厚さは、約500nmないし1500nmとすることが好適である。このレジスト24はスピンコート等により塗布することができ、例えば80℃ないし150℃で60秒間程度のベーキング(熱処理)を行って材料中の溶媒を蒸発させる。

【0052】次に、ホールのレジストパターンを形成するために、i光線またはKrFエキシマ、ArFエキシマ等のレジスト感光波長に対応した光源を用いて露光する。

【0053】レジスト24の露光後、例えば80℃ないし120℃で60秒間程度のPEBを行ってレジスト24の解像度を向上させ、TMAH等の2.00%ないし2.50%程度のアルカリ水溶液を用いて現像する。その後、必要に応じて、例えば100℃ないし130℃で60秒間程度のPDBを行い、ホールのレジストパターンを焼き固める。

【0054】次に、図3(F)に示されるように、上述

の方法で形成されたレジストパターンをマスクとして絶縁膜18をエッチングする。この際、埋め込み材料30は被エッチング膜となるため、埋め込み材料30には露光波長に吸収を持つ色素成分を含めない方がエッチング速度が速くなり有利である。この後、残ったレジスト24と有機系反射防止膜22とを除去する。

【0055】以上のようにして、図3(G)に示されるように絶縁膜14および18中に配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。

【0056】以上より、実施の形態3によれば、ホールパターンへの埋め込みを考慮しなくともよい配線溝を先に形成する方法を用いることにより、配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。

【0057】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法、半導体装置の製造方法に使用する埋め込み材料および半導体装置によれば、ホールパターンに有機系高分子材料を複数回塗布することにより、その疎密さにかかわらず均一に埋め込むことができるため、配線材料を埋め込むための配線溝パターンと、この配線を下層導電性膜と電気的に接合するホールパターンとを形成することができる。このため、ホールパターンの疎密さにかかわらず均一に埋め込みを行うことができる良い埋め込み特性を有し、かつエッチング速度が大きい有機系高分子材料を用いた半導体装置の製造方法、半導体装置の製造方法に使用する埋め込み材料および半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体基板のホールパターンの断面構造を例示する図である。

【図2】 本発明の実施の形態2における半導体基板のホールパターンの断面構造を例示する図である。

【図3】 本発明の実施の形態3における半導体基板のホールパターンの断面構造を例示する図である。

【図4】 本発明の実施の形態2における色素成分の例であるKrF(248nm)用の一般的色素の例(アントラセン誘導体)を示す図である。

【図5】 本発明の実施の形態2における色素含有量に対する反射防止能力を示す図である。

【図6】 本発明の実施の形態2における色素含有量に対するエッチレートを示す図である。

【図7】 本発明の実施の形態1または3における有機反射防止材料を埋め込みに用いた場合のフェンス状の残渣を示す図である。

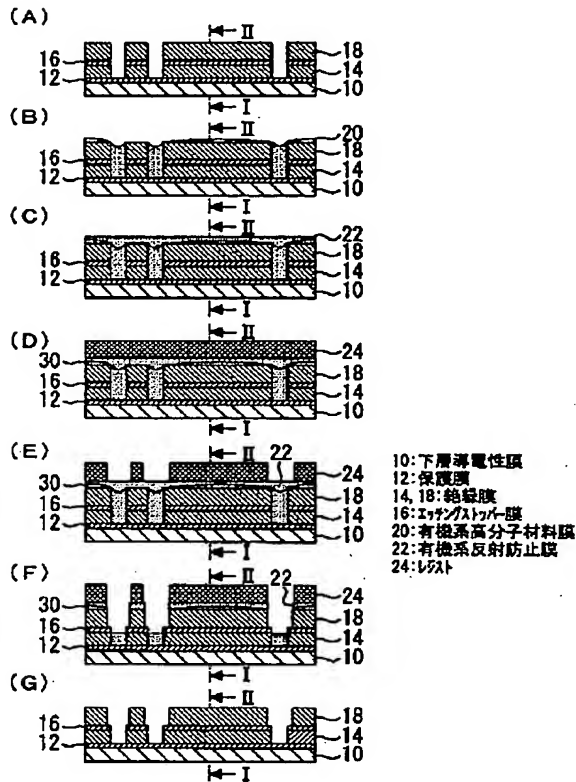
【符号の説明】

10 下層導電性膜、12 保護膜、14、18、

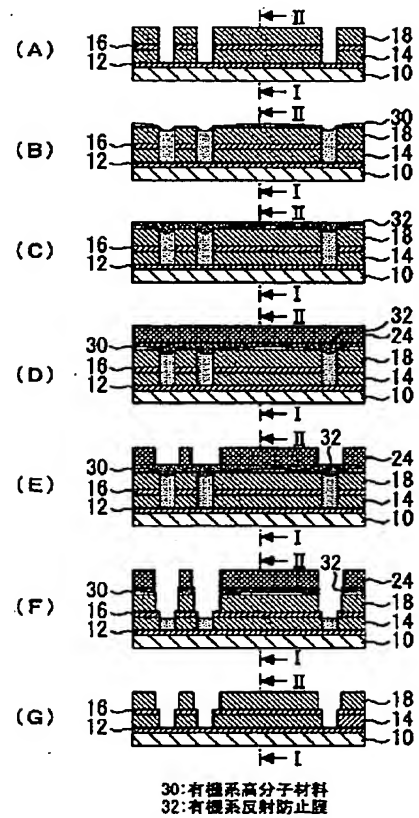
44, 48 絶縁膜、16, 46 エッチングストップ
一膜、 20, 30, 50 有機系高分子材料(膜)、
22, 32 有機系反射防止膜、 24 レジスト、

40 Cu、 42 Cu保護膜、 52 フェンス
状残渣。

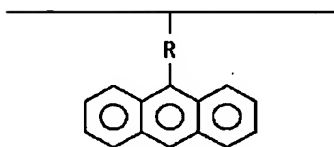
【図1】



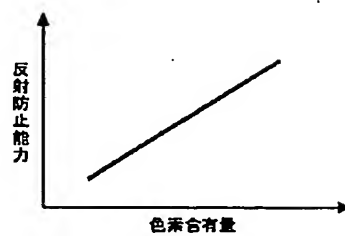
【図2】



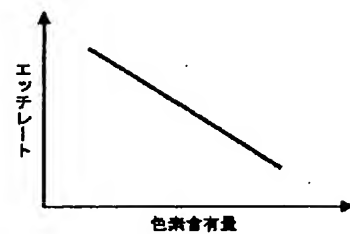
【図4】



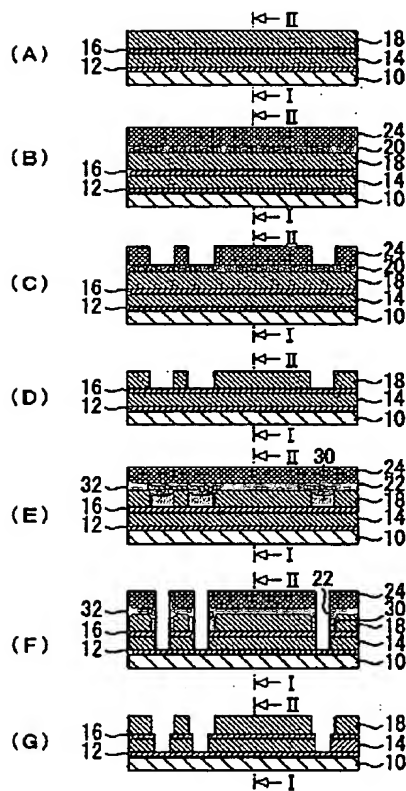
【図5】



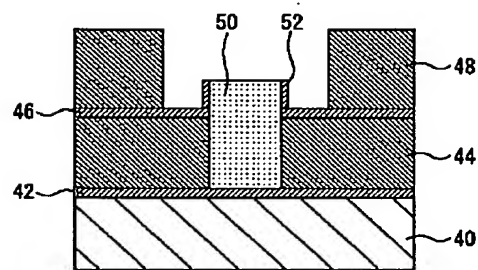
【図6】



【図3】



【図7】



40: Cu
42: Cu 膜厚層
44, 48: 絶縁膜
46: エッチングストップパー層
50: 有機反射防止材料
52: フェンス状構造

フロントページの続き

(51)Int.Cl.⁷

H01L 21/027

21/312

識別記号

F I

H01L 21/90

21/30

特許庁 (参考)

A 5F058

573

574

(72)発明者 沖田 剛志

兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内

Fターム(参考) 2H025 AB16 DA34 DA40 EA04 FA39

2H096 AA25 BA16 CA06 CA12 GA01

HA15

4M104 DD08 DD15 HH14

5F033 QQ04 QQ09 QQ25 QQ37 SS22

XX00

5F046 AA20 NA07 PA07

5F058 AD01 AD09 AF04 AG01 AG02

AH02 AH05 BH10